

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-013541
 (43)Date of publication of application : 21.01.1994

(51)Int.CI. H01L 25/10
 H01L 25/11
 H01L 25/18

(21)Application number : 05-062526 (71)Applicant : MOTOROLA INC
 (22)Date of filing : 01.03.1993 (72)Inventor : LIN PAUL T

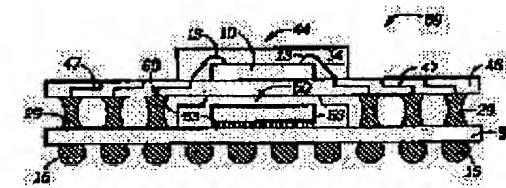
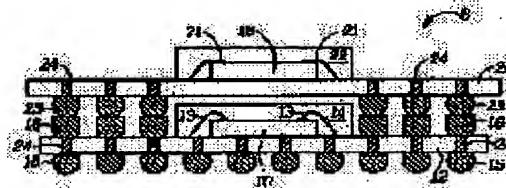
(30)Priority
 Priority number : 92 844075 Priority date : 02.03.1992 Priority country : US

(54) THREE-DIMENSIONAL MULTIPLE-CHIP SEMICONDUCTOR DEVICE THAT CAN BE LAMINATED AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To connect a one-chip carrier to another chip carrier to each other by solder junction in a three-dimensional multiple-chip module(MCM) that can be laminated.

CONSTITUTION: In an upper chip carrier, solder balls 23 are provided at the lower surface of a substrate 46. In a lower chip carrier, solder balls 16 are provided at the upper surface of the substrate, and solder balls 15 are provided at the lower surface. A lid 60 is used, and a device 50 can be sealed. The height of the lid serves the role of a natural stand-off projection between the levels of the carriers and serves the role of a sandglass-shaped solder junction 29, which extends the withstanding life time of the junction to the maximum. A heat sink, which further enhances the thermal dissipation of the MCM, can be readily applied in this laminating method. Furthermore, since each substrate can mount a plurality of chips, the module can accept the increases in three-dimensional chip density, at the same time as the increase in a flat-plane chip density.



LEGAL STATUS

[Date of request for examination] 29.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number] 3239909
[Date of registration] 12.10.2001
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 積層可能な半導体マルチチップ・モジュール(8)であって、前記モジュールは：熱伝導性材料でできており、キャリヤの上部表面と底部表面の両方に複数のはんだバンプ(15)およびはんだパッド(16)を有する下方チップ・キャリヤ基板(12)；前記下方チップ・キャリヤ基板(12)に電気的および物理的に接着された第1半導体ダイ(10)；熱伝導性材料でできており、上部表面および底部表面を有する上方チップ・キャリヤ基板(20)；前記上方チップ・キャリヤ基板(20)の底部表面にある複数のはんだバンプ(23)；ならびに前記上方チップ・キャリヤ基板(20)に実装され、電気的に結合された第2半導体ダイ(18)において、前記下方キャリヤ(12)および前記上方基板(20)が、前記はんだバンプ(23, 16)を接合することにより、互いに電気的に接続されていることを特徴とする第2半導体ダイ(18)；によって構成されることを特徴とする積層可能な半導体マルチチップ・モジュール。

【請求項2】 積層可能な半導体マルチチップ・モジュール(59)であって、前記モジュールは：熱伝導性材料で作られており、キャリヤ基板(52)の上部表面および底部表面の両方に、複数のはんだバンプ(15)およびはんだパッド(16)を有する下方チップ・キャリヤ基板(52)；前記下方チップ・キャリヤ基板(52)に電気的および物理的に接着された第1半導体ダイ(50)；熱伝導性材料で作られており、上部表面および底部表面を有する上方チップ・キャリヤ基板(46)；前記上方チップ・キャリヤ基板(46)の底部表面にある複数のはんだバンプ(23)；前記上方チップ・キャリヤ基板(46)に実装され、電気的に結合された第2半導体ダイ(10)において、前記下方チップ・キャリヤ基板(52)および前記上方チップ・キャリヤ基板(46)がはんだ接合(29)によって互いに電気的に接続されていることを特徴とする第2半導体ダイ(10)；ならびに前記第1半導体ダイを覆っており、前記上方チップ・キャリヤ基板(46)と、前記下方チップ・キャリヤ基板(52)の間に砂時計形状のはんだ接合(29)を作成するためのスタンドオフ凸起の働きをするふた(60)；によって構成されることを特徴とする積層可能な半導体マルチチップ・モジュール(59)。

【請求項3】 積層可能な半導体マルチチップ・モジュール(25)であって、前記モジュールは：熱伝導性材料から作られており、下方チップ・キャリヤ基板(26)の上部表面および底部表面の両方に、複数のはんだバンプおよびはんだパッド(15, 16)を有する下方チップ・キャリヤ基板(26)；前記下方チップ・キャリヤ基板(26)に電気的および物理的に接着された第1半導体ダイ(10)；熱伝導性材料から作られており、上部表面および底部表面を有する上方チップ・キャ

リヤ基板(30)；前記上方チップ・キャリヤ基板(30)の底部表面上にある複数のはんだバンプ(23)；前記上方チップ・キャリヤ基板(30)に実装され、電気的に結合された第2半導体ダイ(18)において、前記下方チップ・キャリヤ基板(26)および前記上方チップ・キャリヤ基板(30)がはんだ接合(29)によって、互いに電気的に接続されていることを特徴とする第2半導体ダイ(18)；前記第1半導体ダイ(10)を覆っており、前記上方チップ・キャリヤ基板(30)と、前記下方チップ・キャリヤ基板(26)との間に砂時計形状のはんだ接合(29)を作るためのスタンドオフ凸起の働きをするふた(28)；ならびに熱放散を高めるために、前記下方チップ・キャリヤ基板(26)の上部表面に接着されたヒートシンク(40)；によって構成されることを特徴とする積層可能な半導体マルチチップ・モジュール。

【請求項4】 積層可能な半導体マルチチップ・モジュール(59)を製造する方法であって、前記方法は：熱伝導性材料から作られる下方チップ・キャリヤ基板(52)を設ける段階；前記下方チップ・キャリヤ基板(52)の上部表面および底部表面の両方に複数のはんだバンプおよびはんだパッド(15, 16)を被着させる段階；第1半導体ダイ(50)を、前記下方チップ・キャリヤ基板(52)の上に実装する段階；前記第1半導体ダイ(50)を、前記下方チップ・キャリヤ基板(52)に電気的に結合する段階；前記第1半導体ダイの上にふた(60)を置いて、スタンドオフ凸起の働きをさせる段階；熱伝導性材料から作られる上方チップ・キャリヤ基板(46)を設ける段階であって、前記上方チップ・キャリヤ基板は上部表面および底部表面を有する上方チップ・キャリヤ基板(46)を設ける段階；前記上方チップ・キャリヤ基板(46)の底部表面の上に、複数のはんだバンプ(23)を被着させる段階；第2半導体ダイ(10)を、前記上方チップ・キャリヤ基板(46)に実装する段階；前記半導体ダイ(10)を、前記上方チップ・キャリヤ基板(46)に電気的に結合する段階；はんだバンプおよびはんだパッド(15, 16, 23)の位置によって、前記上方チップ・キャリヤ基板(46)を、前記下方チップ・キャリヤ基板(52)と整合させる段階；ならびに前記はんだバンプおよびはんだパッドを一緒にリフローして、物理的接続および電気的接続(29)を達成する段階；によって構成されることを特徴とする積層可能な半導体マルチチップ・モジュールを製造する方法。

【請求項5】 積層可能な半導体マルチチップ・モジュール(59)を製造する方法であって、前記方法は：熱伝導性材料から作られる下方チップ・キャリヤ基板(26)を設ける段階；前記下方チップ・キャリヤ基板(26)の上部表面および底部表面の両方に複数のはんだバンプ(15)およびはんだパッド(16)を被着させる

段階；第1半導体ダイ（50）を、前記下方チップ・キャリヤ基板（26）の上に実装する段階；前記第1半導体ダイ（10）を、前記下方チップ・キャリヤ基板（26）に電気的に結合する段階；前記第1半導体ダイ（10）の上にあた（28）を置いて、スタンドオフ凸起の働きをさせる段階；熱伝導性材料から作られる上方チップ・キャリヤ基板（30）を設ける段階であって、前記上方チップ・キャリヤ基板は上部表面および底部表面を有する上方チップ・キャリヤ基板（30）を設ける段階；前記上方チップ・キャリヤ基板（30）の底部表面の上に、複数のはんだバンプ（23）を被着させる段階；第2半導体ダイ（18）を、前記上方チップ・キャリヤ基板（30）に実装する段階；前記半導体ダイ（18）を、前記上方チップ・キャリヤ基板（30）に電気的に結合する段階；前記はんだバンプおよびはんだパッド（15, 16, 23）の位置によって、前記上方チップ・キャリヤ基板（30）を、前記下方チップ・キャリヤ基板（26）と整合させる段階；前記はんだバンプおよびはんだパッドを共にリフローして、物理的接続および電気的接続（29）を達成する段階；ならびにヒートシンクを、前記下方チップ・キャリヤ基板（26）の表面に接着する段階；によって構成されることを特徴とする積層可能な半導体マルチチップ・モジュールを製造する方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般に半導体デバイスに関し、具体的には積層可能な3次元半導体マルチチップ・モジュールに関する。

【0002】

【従来の技術】現在、ほとんどの大規模集積回路（IC）は、プラスチックもしくはセラミック製のパッケージに封止されており、このパッケージからプリント回路（PC）板にはんだづけするため、またはソケットに挿入するための金属リードが伸びている。通常、これらのICパッケージはデュアル・イン・ライン（DIP）またはカッド・フラット（quad-flat）パッケージとして構成されている。大抵の例では、1個のICだけが1つのパッケージ内に入れられているが、時には1つのパッケージの中に複数のチップが入れられることもある。セラミックもしくはプラスチックのパッケージは、特にソケットを使用する場合、実装表面（通常はプリント回路板）の面積を比較的喰わないで、このようなパッケージ技術の結果、回路密度はそれほど高くならない。

【0003】またプリント回路板は、電子機器の他のあらゆるものと同様、小型化、高速化、高密度化している。実装面積が限られている場合、または速度に関する考慮要件から回路素子を近接して設置することが要求される場合には、よりコンパクトなパッケージ技術が必要とされる。このような技術は、コファイアド（cofired

セラミック基板をの使用する構成をとっており、この基板の上にICが未パッケージ形態でセラミック実装表面に直接接着され、この実装表面の導電領域にワイヤボンディングされるか、または反転されて、たとえばはんだバンプ技術によってセラミック実装表面上のメタライズ領域に直接接続される。しかしながらこのマルチチップ・モジュール（MCM）技術にはいくつかの限界がある。1つのセラミック実装表面上で複数のICを相互接続するには、望ましくはクロスオーバーを回避するようなパターンで、金属材料を被着する必要がある。また多くの表面では、きわめて精細な解像度の金属導体の被着は難しい。多層相互接続も可能であるが、時にはひどく高い費用がかかることがあり、空気冷却下では、熱的許容損失機能に限界がある。またチップの直接接着は、モジュール組立前のバーンイン機能がないという制約があり、基板実装後の修理も難しい。さらに、能動、受動を問わず回路に対して部品が必要な場合、これに伴うサイズおよび実装機構の問題から、個別部品を使用しなければならない。

【0004】にも拘らずMCMの出現は、ICのパッケージングに目ざましい利点をもたらす。チップ間の時間遅延が少なくなり、電気ノイズおよびクロストークが減少し、サイズが小さくなる。また使用するチップを大きくすることができ、マルチチップ・モジュール当たりのI/Oリード・カウントが大幅に増大する。しかしながらこれら種々の利点にも拘らず、現在のMCMは一連の問題を抱えている。熱管理の問題が大きくなっているのである。複数デバイスから発生する熱は除去しなければならない。1個のチップ上のゲートの密度が高まるにつれ、ダイから、ダイ接着剤、基板、ヒートシンクまでの熱通路全体を考慮に入れるべきである。単結晶シリコン、ならびに窒化アルミニウムや炭化珪素など熱伝導性セラミックは、従来のセラミック材料およびプリント回路板材料に比べて熱伝達機能や熱平均化機能が優れている。また熱の漸次変化も、はんだ、ワイヤボンドおよび電気接続の信頼性に大きな影響を与える。実際、MCM設計を成功させるには、個別的に最も効果的な導電性を有する材料と、集団的に熱膨張係数が似通っている材料との間で、バランスをとらなければならない。

【0005】従来、すべてのダイは組立前に一つ一つプローブで検査する一方、重要なユニットは、エージングを加速した条件下でバーンインを行って、後のシステム障害発生リスクを最小限にする。バーンインは弱いデバイスをふるい落とすために実施するもので、通常は裸チップよりもむしろパッケージされたデバイスに対してバーンインを行う。ほとんどのバーンイン障害は、弱い酸化ゲートを原因とするデバイスもしくはダイに関連するものである。MCMに対してバーンインを採用する場合、このプロセスは、パッケージされたモジュール・レベルで実施すべきである。モジュール・レベルでのバーンインは、モジュール構成部品の接続を考慮する必要がある。

ンインの欠点は、モジュール内の1パーセントのダイが障害を起こすことで、適切な取り外し手順によって、別の良好なダイと交換しなければならない。

【0006】もう1つのMCMアプローチでは、XY平面ではなく、Z軸に沿って裸チップを相互接続する。3次元パッケージングは、平面マルチチップ基板に比べて、より高いメモリ密度を提供し、必要な相互接続密度を減らしている。その結果、MCM、個別部品および受動部品をリンクする接続システムは、基板に対し直角をなすZ軸方向に伸びると予想される。ICの3次元パッケージングは、多くの分野で利点をもたらす。たとえば、速度と高密度化が重要なスーパーコンピュータのメモリ、或いはアクセス時間と高密度化が重要な大規模キッシュ・メモリに、役立てることができる。

【0007】裸チップを相互接続する1つの方法はチップを積み重ねて1つのキューブを形成することである。チップは、キューブを形成する前に予め、金線によって、一つ一つ、TABフィルムと同一の薄膜上で相互接続される。電気試験およびバーンインに合格した後、それらは、TABフィルムを使って、それぞれの上に積み重ねられて接着される。この構成のいちばんの欠点は熱放散が制限されることである。またいったんこのチップのキューブが形成されて基板の上に実装されると、後のチップ故障の再加工がきわめて実施にくくなり、積層内に冗長チップを含めるので、モジュール全体のコストが高くなる。

【0008】超高密度MCMは、平面マルチチップ・モジュールに、この3次元アプローチを理想的に組み込むものである。ピン・グリッド・アレイ (Pin Grid Arrays) (PGA) を積層してMCMを形成する方法は、20年前からあった。下部基板には従来の方法で、銅ピンが付けられる。半導体ダイはついで、チップ・キャリヤ基板にフリップ・チップ実装される。挿入器 (interposer) は、相互接続をはんだ接合する方法によって、チップ・キャリヤ基板を別のチップ・キャリヤまたは下部基板に物理的および電気的に結合する。これらの相互接続は各基板の周辺に位置しており、このことによってチップ構成、ひいては各レベルにおけるチップ密度が制限を受けやすくなる。PGAの銅ピンと挿入器は、キャリヤ間にスタンドオフを提供し、互いに破損し合わないように保っている。

【0009】

【発明が解決しようとする課題】このためMCMの設計を成功させるには、電力配分、熱放散および温度をはじめ、試験、バーンインおよび再加工を考慮に入れるべきである。MCMの設計の難しさは、電気特性、機械特性および熱特性が適正に配合された材料をみつけて組み立てることである。トレードオフはほとんど常に必要であり、それもアプリケーションによって異なるのが普通である。以上述べた設計基準のすべてを満足すると共にコ

スト効果の高い、製造の容易な超高密度MCMに対するニーズが存在する。

【0010】

【課題を解決するための手段】本発明に基づき、下方チップ・キャリヤ基板、上方チップ・キャリヤ基板および半導体ダイを有する積層半導体マルチチップ・モジュールが提供される。下方チップ・キャリヤは熱伝導性材料で作られており、上面と底面の両方に複数のはんだバンプを有している。上方チップ・キャリヤ基板も熱伝導性材料で作られており、その底面に複数のはんだバンプを有している。半導体ダイは、基板当たり少なくとも1個の割合で、下方および上方チップ・キャリヤ基板に対して、電気的および物理的に接着される。上記およびその他の特性ならびに利点は、添付図面と合わせて、以下の詳細な説明からより明確に把握されよう。指摘すべき重要なことは、図は必ずしも正確な縮尺で示されているわけではないこと、また具体的に示していない本発明の他の実施例も存在し得ることである。

【0011】

【実施例】本発明を用いれば、先に述べた3次元マルチチップ・モジュールの望ましい特性を満足して、XY平面の基板面積を余り犠牲にせずに、半導体を高密度にパッケージすることができる。本発明は、マルチチップ・モジュールをZ軸方向に積層することを可能にする。さらに本発明はこのようなモジュールを製造する方法を提供する。はんだリフロー前の、本発明に基づく積層マルチチップ・モジュール8の断面図を図1に示す。半導体ダイ10は、下方チップ・キャリヤ基板12の上に実装される。半導体ダイ10と、下方チップ・キャリヤ基板12との間の電気接続は、従来のやり方でワイヤ13をボンディングすることによって行う。また半導体ダイ10は封止材14によって封止され、これは封止樹脂もしくはグローブ・トップ (glob top) などの従来の封止材、またはその他の適切な材料で作ることができる。下方チップ・キャリヤ基板12は、窒化アルミニウムまたはシリコンなど熱伝導性材料によって形成するのが望ましい。FR-4などのプリント回路板材も使用できるが、この材料は、セラミックまたはシリコンほど熱伝導性がない。PC板材を選択する場合には、熱膨張の大きな食い違いも考慮に入れなければならない。しかしながら低コストであることは、ユーザーが受け入れる充分な動機になろう。

【0012】また図1に示すように、下方チップ・キャリヤ基板12は、基板の底面に複数のはんだバンプ15を有している。これらのはんだバンプ15は、下方チップ・キャリヤ基板12を、実際のPC板(図示していない)に実装するのに用いられる。さらに下方チップ・キャリヤ基板12は基板の上面にも複数のはんだパッドまたはバンプ16を有している。はんだパッド16は下方チップ・キャリヤ基板12を、この上に実装する別のチ

ップ・キャリヤに結び付ける働きをする。

【0013】また図1に、上方チップ・キャリヤ基板20の上に実装されたもう一つの半導体ダイ18を示す。半導体ダイ18と上方チップ・キャリヤ基板20との間の電気接続は、基板に対してTABボンディングされたワイヤ21によって行う。また半導体ダイ18は封止材22によって封止され、これは封止樹脂もしくはグロブ・トップなどの従来の封止材、またはその他の適切な材料で作ることができる。下方チップ・キャリヤ基板12と上方チップ・キャリヤ基板20がはんだ接合のために適正に整合されると、はんだバンプ16, 23が結合して、小型はんだ柱を形成する。

【0014】この実施例では、下方チップ・キャリヤ基板12および上方チップ・キャリヤ基板20は、相互の電気接続および他の基板との電気接続を行うために、スルーホール・バイア24を有している。しかしながら多層チップ・キャリヤ基板も、別の基板との電気接続を作りという同じ目的に使用できる。

【0015】図2に、積層マルチチップ・モジュール25の断面図を示す。この実施例の機構の多くは、図1で検討したのと全く同じであるので、同じ番号が付けられている。この実施例では、下方チップ・キャリヤ基板26の上には、1個の半導体デバイス27が実装されている。熱伝導性のふた28が半導体デバイス27を覆っている。ふた28は、砂時計形状のはんだ接合29を作るためのスタンドオフ凸起の働きもできる。この砂時計形状は、疲れ応力によりはんだ接合29の障害が発生するまでの時間を最大限引き延ばす。図1で述べたはんだバンプまたはパッド16, 23のサイズは、はんだ接合29の砂時計形状を達成するため、ふたの高さに従って最適化する必要がある。ふたが適所にないと、上部および底部のはんだバンプが、はんだリフロー工程の間に合体して、大きな1個のはんだバンプを形成する。この形状でも許容できるが、砂時計形状の方が耐久寿命にとってより望ましい。上方チップ・キャリヤ基板30の上には、2個の半導体デバイス32, 34がスタガ構成で実装されている。ヒートシンク40は、上方チップ・キャリヤ基板30に接着されており、このヒートシンクで下方半導体デバイス27からの熱を、熱伝導性の上方チップ・キャリヤ基板30およびふた28を介して、放散できる。注意すべきことは、第3レベル・チップ・キャリヤを使用する場合には、さらに上のレベル半導体デバイスともスタガリングして、下のレベル半導体デバイスからの熱を放散させるために、ヒートシンクを接着できるようにしなければならないことである。第2ヒートシンク41は、ヒートシンク40の上に実装されて、積層冷却フィン構成を形成する。MCMの熱放散水準を高めるために、ヒートシンク41の上にさらにヒートシンクを付加することも完全に可能であり、その際、MCMを実装するPC板上の利用可能な容積が制限されるだけであ

る。

【0016】また3次元MCMを作るためにチップ・キャリヤを積層する方法も、本発明に基づくものである。図3に、部分的にポピュレートされた(populated)チップ・キャリヤ42の断面図を示す。図3に示すように、半導体デバイス44は、チップ・キャリヤ基板46の上に実装される。図ではチップ・キャリヤ基板46は多層となっている。注意すべきことは、いずれの実施例のチップ・キャリヤ基板も、デバイスと基板との電気接続を可能にするために、多層にしたり、またはスルーホール・バイアを持つようにできることである。ついで、特定のはんだ組成を有する複数のはんだバンプまたはボール23を、チップ・キャリヤ基板46の底面上に被着する。たとえばこのはんだは、鉛と錫の比率が80:20の組成、またはその他の実際的なはんだ合金組成をとってもよい。電気接続は、半導体デバイス44とはんだバンプ23との間に多層相互接続47を介して作られる。チップ・キャリヤ42は、はんだバンプ23を被着する前もしくは後に、試験およびバーンインを実施できる。

【0017】図4に、完全にポピュレートされたチップ・キャリヤ48の断面図を示す。半導体デバイス50は、チップ・キャリヤ基板52の上に実装される。図4に示すように、半導体デバイス50は、C4法はんだバンプ53によって、基板52の上に実装されたパッド・アレイ・キャリヤ(Pad Array Carrier) (PAC) として示されるが、他の実施可能な実装方法も使用できる。複数のはんだバンプまたはボール16は、はんだバンプ23とは異なる組成であることが望ましく、チップ・キャリヤ基板52の上面に被着される。はんだバンプ16は鉛と錫の比率が60:40または別の比率の合金組成で作ることができる。各チップ・キャリヤ基板の上面に、異なる合金組成のはんだを使用する理由は、再加工を容易にし、後続のはんだリフローにおけるはんだ接合の再溶解を防止するためである。考えられる後続のリフロー動作段階の一例は、第3キャリヤをマルチチップ・モジュールの上に積層することである。集束光線を用いてはんだ接合を除去するので、再加工も簡単にできる。そのため、はんだの再溶解の間、はんだおよび基板の他のインタフェースを阻害しないことが望ましい。チップ・キャリヤ基板52の上部にあるはんだバンプ16のほかに、複数のはんだバンプ15も、基板52の底面に被着される。これらのはんだバンプ16は、完全なMCMを、PC板(図示していない)に実装するのに使用される。ここでもこれらははんだバンプは、先に述べた理由から、はんだバンプ23または、はんだバンプ16とは異なる組成であることが望ましい。

【0018】チップ・キャリヤ42, 48はそれぞれ、積層MCMを組み立てる前に、別個に試験およびバーンインが実施できる。図5に、本発明の1つの実施例、す

9

なわち積層3次元MCM49を示す。積層工程において、2つのチップ・キャリヤ基板46、52ならびに特にはんだバンプ16、23の配列を、はんだリフローの前に互いに適正に整合すべきである。図1に、適正な整合の例を示す。はんだリフロー・プロセスでは、図5に示すように、はんだバンプ16、23が合体して、1個のはんだ接合柱58を形成する。上部および底部のはんだバンプを共に溶融して、銅ピンの場合のように、接合の弱いポイントなしに、1個の相互接続を形成するので、この構成は、2個の銅ピンを接合するはんだよりもより信頼性の高いものになるはずである。

【0019】本発明の1つのバリエーションを図6に示す。積層MCM59の断面図を示す。熱伝導性のふた60をこの積層構成に付加して、はんだ接合29のためのスタンドオフを形成している。ふた60が課す物理的制約のために、はんだ接合29は砂時計形状をとっている。この形状は、接合の端に集中している応力が減少するので、接合の耐久寿命を長くする。

【0020】積層MCMを作るプロセスのいちばんの利点は、モジュールを組み立てる前に、各レベルのチップ・キャリヤに対し、組立、試験、バーンインが実施できることである。そのためコスト増につながる不良品や冗長チップ・セットの使用が回避できる。また本発明の再加工も簡単に実施できる。はんだ接合またははんだ柱は局部的に熱風をあてる方法により、それぞれ取り外して再接合できる。

【0021】上記の説明およびここに含まれる図は、本発明に関する多くの利点を示している。またこの3次元MCMの構成は、効率的な熱放散ユニットであることが明かとなった。はんだ柱の配列は、モジュールからの自然熱対流を促進するための冷却フィンの働きをする。本発明に基づき、先に述べたニーズおよび利点を完全に満足する積層可能な3次元マルチチップ・モジュールが提供されることが明かとなる。本発明は、具体的な実施例を参照して説明しているが、本発明がこれら図示した実施例に限定されることを意図するものではない。当業者は、本発明の意図から逸脱せずに、変形およびバリエーションが可能なことを認めよう。たとえば、ダミーのはんだバンプも、下方チップ・キャリヤを機械的にサポートするに使用でき、その際、積層3次元MCMの電気特性、または積層構成のXY平面におけるスペース節約の利点のいずれかに影響を及ぼすことはない。また注意すべき重要なことは、本発明は決して、積層パッド配列キャリヤのみに限定するものではないことである。パッケージされた半導体デバイスをチップ・キャリヤ基板に実装し、電気的に結合する適切な方法で、なおかつ基板の積層を可能にする方法ならいざれを利用してもよい。したがって本発明は、添付請求の範囲に属するすべてのバリエーションおよび変形を包含することを意図している。

10

【図面の簡単な説明】

【図1】本発明に基づく積層3次元半導体マルチチップ・モジュール(MCM)の、はんだリフロー前の断面図である。

【図2】ヒートシンクを有する積層3次元半導体MCMの断面図であり、本発明の1つの実施例を示している。

【図3】基板の下部表面上にはんだバンプを有するチップ・キャリヤ基板に実装された半導体デバイスの断面図であり、本発明に基づき、3次元半導体MCMを組み立てる1つの段階を示している。

【図4】基板の下部および上部表面の両方にはんだバンプを有するチップ・キャリヤ基板の上に実装された半導体デバイスの断面図であり、本発明に基づき、3次元半導体MCMを組み立てる1つの段階を示している。

【図5】積層3次元半導体MCMの断面図であり、本発明の1つの実施例を示している。

【図6】下方半導体デバイスを覆うふたを備えた積層3次元半導体マルチチップ・モジュールの断面図であり、本発明の1つの実施例を示している。

【符号の説明】

8 積層可能なマルチチップ・モジュール

10 半導体ダイ

12 下方チップ・キャリヤ基板

13 ワイヤ

14 封止材

15 はんだバンプ

16 はんだパッド

18 半導体ダイ

20 上方チップ・キャリヤ基板

22 封止材

23 はんだバンプ／ボール

24 スルーホール・バイア

25 積層マルチチップ・モジュール

26 下方チップ・キャリヤ基板

27 半導体デバイス

28 ふた

29 はんだ接合

30 上方チップ・キャリヤ基板

32, 34 半導体デバイス

40 40, 41 ヒートシンク

42 チップ・キャリヤ

44 半導体デバイス

46 チップ・キャリヤ基板

47 多層相互接続

48 チップ・キャリヤ

49 積層3次元MCM

50 半導体デバイス

52 チップ・キャリヤ基板

53 はんだバンプ

50 58 はんだ接合柱

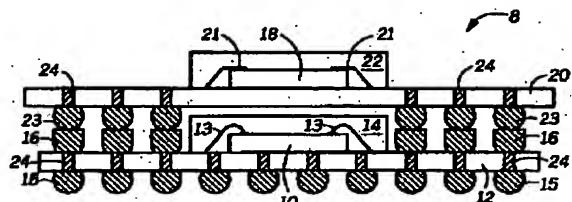
11

59 積層MCM

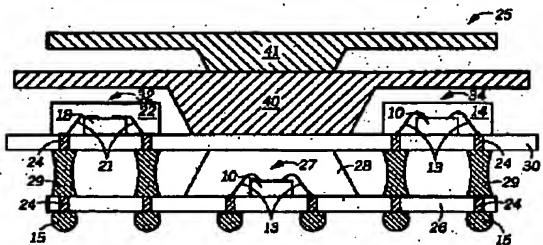
12

60 ふた

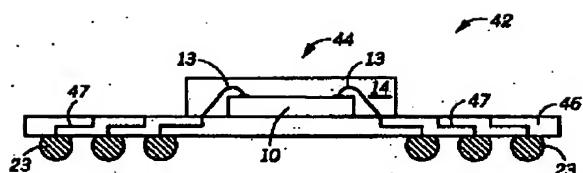
【図1】



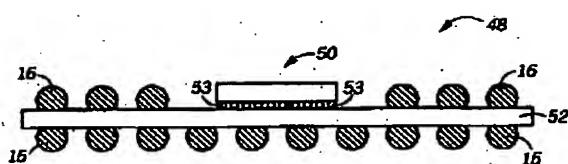
【図2】



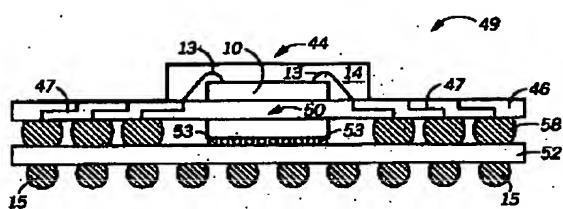
【図3】



【図4】



【図5】



【図6】

